

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

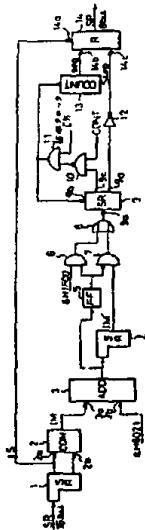
01845814 **Image available**
DIGITAL COMPRESSOR

PUB. NO.: 61-059914 A]
PUBLISHED: March 27, 1986 (19860327)
INVENTOR(s): MORI SHOKICHI
KARIIBE HIROHISA
MATSUMURA TOSHIHIKO
ITO AKIRA
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 59-180636 [JP 84180636]
FILED: August 31, 1984 (19840831)
INTL CLASS: [4] H03M-001/50
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 44.2 (COMMUNICATION --
Transmission Systems)
JOURNAL: Section: E, Section No. 425, Vol. 10, No. 224, Pg. 61, August
05, 1986 (19860805)

ABSTRACT

PURPOSE: To miniaturize the circuit scale by adding a prescribed constant to a linear code for serial processing so as to apply efficiently compressing conversion of the linear code into a micro-rule code.

CONSTITUTION: A linear code SR (16-bit) is inputted serially to a shift register, and the most significant bit IS representing the polarity of the said code is fed to a register 14 and a serial compliment circuit 2. Then a constant AND H6021 (16-bit) is added (3) serially to an absolute value IM (15-bit) of a data bit except the most significant bit to input an output of an FF5 of the most significant digit, a constant AND H1F00 as a limit value and a serial data bit IM' to logical circuits 6, 7, 8 and their logical output is fed to a universal shift register 9. Then a bit location (3-bit) displaying the segment value of the micro-rule code is inputted to the register 14 from the register 9 via a counter 13 and the bit representing a step value (4-bit) is inputted to the register 14 via an inverter 12.



DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

004618213

WPI Acc No: 1986-121557/198619

PCM compressor for linear code conversion - adds constant to linear code,
calculates segment value from bit position and calculates stepping valve
NoAbstract Dwg 1/4

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 61059914	A	19860327	JP 84180636	A	19840831	198619 B

Priority Applications (No Type Date): JP 84180636 A 19840831

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 61059914	A		4		

Title Terms: PCM; COMPRESSOR; LINEAR; CODE; CONVERT; ADD; CONSTANT; LINEAR;
CODE; CALCULATE; SEGMENT; VALUE; BIT; POSITION; CALCULATE; STEP; VALVE;
NOABSTRACT

Derwent Class: U21

International Patent Class (Additional): H03M-001/50

File Segment: EPI

Manual Codes (EPI/S-X): U21-A01

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2000 EPO. All rts. reserv.

5475966

Basic Patent (No,Kind,Date): JP 61059914 A2 860327 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61059914	A2	860327	JP 84180636	A	840831 (BASIC)

Priority Data (No,Kind,Date):

JP 84180636 A 840831

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 61059914 A2 860327

DIGITAL COMPRESSOR (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): MORI SHOKICHI; KARIKE HIROHISA; MATSUMURA TOSHIHIKO
; ITO AKIRA

Priority (No,Kind,Date): JP 84180636 A 840831

Applic (No,Kind,Date): JP 84180636 A 840831

IPC: * H03M-001/50

Derwent WPI Acc No: * G 86-121557

JAPIO Reference No: * 100224E000061

Language of Document: Japanese

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭61-59914

⑫ Int.Cl.
H 03 M 1/50

識別記号 厅内整理番号
6832-5J

⑬ 公開 昭和61年(1986)3月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタル圧縮装置

⑮ 特願 昭59-180636

⑯ 出願 昭59(1984)8月31日

⑰ 発明者 森 章 吉 川崎市中原区上小田中1015番地 富士通株式会社内
⑱ 発明者 雅部 洋 久 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発明者 松村 俊 彦 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 発明者 伊藤 明 川崎市中原区上小田中1015番地 富士通株式会社内
㉑ 出願人 富士通株式会社 川崎市中原区上小田中1015番地
㉒ 代理人 弁理士 青木 朗 外3名

明細書

1. 発明の名称

デジタル圧縮装置

2. 特許請求の範囲

リニアコードに所定の定数を加算する直列演算手段、該直列演算手段による加算値のうちからル則コードのセグメント値を表示するビットの位置を検出し、そのビット位置からセグメント値を求める手段、および、該セグメント値を表示するビット位置に基づいて該加算値のうちからル則コードのステップ値を求める手段を具備したことを特徴とするデジタル圧縮装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル圧縮装置に関し、特にリニアコードをル則コードに変換するデジタル圧縮装置に関するもの。

本発明のデジタル圧縮装置は、例えばPCM通信において音声信号のリニアコードをル則コードに非直線化する際に川いだれノ

〔従来の技術〕

PCM通信においては、伝送される音声信号を、大振幅で粗く小振幅で細かく量子化する非直線符号化により8ビット程度の符号長に圧縮して伝送することが一般に行われている。この非直線形量子化方法としては各種の方法が知られており、効率よくデジタル符号化を行える方法としてル則コードによる折線形圧縮方法がある。

ル則コードは、例えば第2図に示されるような8ビット構成のものであり、最上位ビット(MSB)の符号ビット部Sが符号ビットを示し、次の3ビットのセグメント部segがセグメント値を、下位4ビットのステップ部stepがセグメント値内におけるステップ値を示す。セグメント値とステップ値の関係が第3図に示される。セグメント値はSEG(0)～SEG(7)の計8種あり、各セグメント値内は16個のステップに分割され各ステップの位置はステップ値により指定される。相隣るセグメント値における量子化ステップの比は2となる。

このようカム則コードとリニアコードとの間の変換方法としては、従来、ROM対応表による方法(Table Look up)、並列演算回路による方法、あるいは直列演算回路による方法などがある。ROM対応表による方法はカムコードとリニアコードとの変換対応表をROMに書き込んで置いてこれを読み出すことによりレバ変換を行う方法である。後二者の方法は、論理演算回路により変換を行う方法である。

〔発明が解決しようとする問題点〕

ROM対応表による方法は処理時間は速いがROMを必要とするため回路規模が大きくなるという問題点がある。特にこのことは装置をLSI化する際に問題となる。同様に並列演算回路による方法も処理時間は速いが、回路規模が大きくなるという問題点がある。また直列演算回路による方法は回路規模は小さいが、処理時間が遅いという問題点がある。

〔問題点を解決するための手段〕

上述の問題点を解決するために、本発明において

〔実施例〕

本発明の一実施例としてのデジタル圧縮装置が第1図に示される。

第1図において、16ビットで2の補数表示されたリニアコードSRが入力データとしてシフトレジスタ1にシリアルに入力される。リニアコードSRの構成は、第4図に示されるように、最上位のビット(MSB)が符号ビット、続く15ビットがデータビットとなっている。

シフトレジスタ1からはリニアコードSRの符号ビットが直列補数回路2の入力端子2aおよびレジスタ14の入力端子14aに導かれるとともに、データビットが直列補数回路2の入力端子2bにシリアルに導かれる。直列補数回路2は検出した符号ビットに基づいて入力データの絶対値IMを得、これを直列加算器3の一方の入力端子3aに供給する。

直列加算器3の他方の入力端子3bには定数:&H6021(16進表示)が入力される。直列加算器3の出力はシフトレジスタ4およびフリッ

では、リニアコードに所定の定数を加算する直列演算手段、該直列演算手段による加算値のうちからカムコードのセグメント値を表示するビットの位置を検出し、そのビット位置からセグメント値を求める手段、および、該セグメント値を表示するビット位置に基づいて該加算値のうちからカムコードのステップ値を求める手段を備じたことを特徴とするデジタル圧縮装置が提供される。

〔作用〕

直列演算手段によりリニアコードに所定の定数を加算する。その結果得られる加算値におけるある特定のビットはそのビット位置が各セグメント値を表示したものとなるので、該特定のビットの位置を検出することによりカムコードのセグメント値が求まる。さらにこの特定のビットの位置から所定の位置関係にあるビットによってカムコードのステップ値が求まる。

よってリニアコードをカムコードに圧縮することができる。

フロップ5の各入力端子に導かれる。フリップフロップ5はリニアコードSRの16ビット目を保持するように構成されており、その出力はアンドゲート6の入力端子およびアンドゲート7の反転入力端子に導かれる。アンドゲート6の他方の入力端子には制限値としての定数:&H1F00が導かれ、またアンドゲート7の他方の入力端子にはシフトレジスタ4からIMがシリアルに導かれる。アンドゲート6、7の各出力はオアゲート8の各入力端子に導かれており、オアゲート8の出力はユニバーサル・シフトレジスタ9の入力端子9aに導かれる。

ユニバーサル・シフトレジスタ9はそのシリアル出力端子9bが NANDゲート10の一方の入力端子に接続され、4ビットパラレル出力端子9dがインバータ12を介してレジスタ14の入力端子14aに接続される。このユニバーサル・シフトレジスタ9は、入力信号の13ビット目でシフト方向を逆にして上位ビットから順にシリアル出力端子9bに信号を送出するとともに、シリアル

出力端子 9₄ から出力されているビットの下位 4 ビットを 1 ビットパラレル信号としてパラレル出力端子 9₄ から出力するよう構成される。

NAND ゲート 1₀ の他方の入力端子には制御信号が導かれる。この制御信号は変換動作を行っている間は "1" レベルとなる。NAND ゲート 1₀ の出力はアンドゲート 1₁ の一方の入力端子に導かれ、アンドゲート 1₁ の他方の入力端子には基準クロック CK が導かれる。アンドゲート 1₁ の出力はシフトレジスタ 9 のクロック入力端子およびカウンタ 1₃ の入力端子に導かれる。

カウンタ 3 からは 3 ビットのセグメント値 $\oplus g$ としての出力がレジスタ 8 の入力端子 1₄₅ に導かれる。レジスタ 8 の入力端子 1₄₅ には 4 ビットのステップ値 $\oplus stop$ としての出力が導かれており、レジスタ 8 は符号ビット IS、セグメント値 $\oplus g$ 、ステップ値 $\oplus stop$ からなる 8 ビットのループコード S P を出力する。

本発明のディジタル圧縮装置の動作の理解を容易にするために、本発明装置におけるレベル変換ア

ルブリズムが第 1 表を参照しつつ以下に説明される。第 1 表において、左欄にはセグメント値、中央欄には各セグメント値においてステップ値がゼロの場合のリニアなセグメント境界値を 2 進数で表示したもの、右欄には該リニアなセグメント境界値に 16 進表示で H 6021 の定数 (2 進表示で "0110 0000 0010 0001" の定数) を加算したもの、がそれぞれ示されている。

以下余白

セグメント値	セグメント境界値に H 6021 加算した値	セグメント値
SEC (0) 111	0000 0000 0000 0000	SEC (0) 000
SEC (1) 110	0000 0000 0000 0101	SEC (1) 111
SEC (2) 101	0000 0000 0101 1111	SEC (2) 111
SEC (3) 100	0000 0000 1101 1111	SEC (3) 111
SEC (4) 011	0001 1101 1101 1111	SEC (4) 111
SEC (5) 010	0011 1101 1101 1111	SEC (5) 111
SEC (6) 001	0111 1101 1101 1111	SEC (6) 111
SEC (7) 000	1111 1101 1101 1111	SEC (7) 111

第 1 表の右欄から明らかのように、セグメント値は、セグメント境界値 + を H 6021 の加算値のうちの 13 ビット目以降で最も上位にたっている "1" の位置により決定され、ステップ値はその "1" より下位 4 ビットが示す値となる。また、達上位ビット MSB (下位から 16 ビット目) に "1" がたつか否かで入力データが変換可能な限界値を想えているか否かを検出することができる。

第 1 図装置の動作が以下に説明される。

2 の補数表示された 16 ビットのリニアコード S R がシフトレジスタ 1 にシリアルに入力されると、シフトレジスタ 1 は該リニアコード S R をシリアル - パラレル変換した形で一時記憶し、符号ビット IS を検出して直列補数回路 2 の入力端子 2₀ に送り、同時にデータビットをシリアルに直列補数回路 2 の入力端子 2₀ に送る。

直列補数回路 2 は符号ビットに基づいて入力データの絶対値である I M を求め、該 I M を直列加算器 3 にシリアルに送る。直列加算器 3 では入力された I M に定数： & H 6021 (2 進数の

"0110 0000 0010 0001")を直列加算して、その加算結果をシフトレジスタ4に送って一時保持させる。

フリップフロップ5は直列加算器3の加算出力の16ビット目を保持する。この16ビット目に"1"がたっている場合には入力データが変換可能な限界値を超えているものと判断される。この場合にはリミット値としての定数:&H1F00(16進数)を以降の回路に与え、回路の誤動作を防ぐ。すなわち、フリップフロップ5が16ビット目に"1"を検出すると、アンドゲート7を閉じるとともにアンドゲート6を開き、定数:&H1F00をアンドゲート6、オアゲート8を介してユニバーサル・シフトレジスタ9にシリアルに送る。

フリップフロップで検出された16ビット目が"0"の場合は、アンドゲート6が閉じられてアンドゲート7が開かれ、シフトレジスタ4から加算出力がアンドゲート7およびオアゲート8を介してユニバーサル・シフトレジスタ9に入力される。

シフトレジスタ9は検出された先頭ビットの"1"の位置から下位4ビットをインバータ12を介してレジスタ14に送る。この下位4ビットはステップ値を表す。これらの値がレジスタ14にストアされるタイミングは、ユニバーサル・シフトレジスタ9が逆方向へシフトし始めてから7クロック目に設定される。これはユニバーサル・シフトレジスタ9に置換される最も小さな値(第1表のSEG(0))の先頭ビット検出に対応している。

レジスタ14は、入力された符号ビット1S、セグメント値seg、ステップ値を第2図の形式の8ビットのル則コードとして出力する。このように、長辯に入力された16ビットのリニアコードS.Rは8ビットのル則コードS.Pに圧縮される。

[発明の効果]

本発明によれば、リニアコードに定数を加算して直列処理することにより、ルル変換を効率的に行い回路規模を縮小することができ、コストダウンばかりの効果が期待できる。また装置をLSI化すれば計算時間も大幅に短縮できる。

ユニバーサル・シフトレジスタ9は加算器出力が13ビット目まで入力されると、シフト方向を逆にして上位ビットからシリアルに NANDゲート10に供給を開始し、それと同時にカウンタ13はリセットされてアンドゲート11を介して供給される基準クロックc.kはユニバーサル・シフトレジスタ9のクロック入力端子9bに供給される。

この基準クロックc.kに同期して加算値の13ビット目以降が上位ビットからシリアルに NANDゲート10に供給され、そして13ビット目以降で最も上位にたっている"1"が NANDゲート10に入力されると、NANDゲート10はアンドゲート11を閉じて基準クロックc.kがユニバーサル・シフトレジスタ9およびカウンタ13に供給されないようにする。

この先頭ビットの"1"の位置は第1表からも明らかのようにセグメント値に対応しており、したがってカウンタ13の内容はセグメント値を表すことになる。

るので、有利である。

4. 図面の簡単な説明

第1図は本発明の一実施例としてのデジタル圧縮装置のプロック図、第2図はル則コードの構成を示す図、第3図はル則コードのセグメント値とステップ値の関係を示す図、第4図はリニアコードの構成を示す図である。

1…シフトレジスタ、2…直列加算回路、3…直列加算器、4…シフトレジスタ、5…フリップフロップ、9…ユニバーサル・シフトレジスタ、13…カウンタ、14…レジスタ。

特許出願人

富士通株式会社

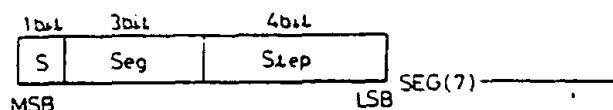
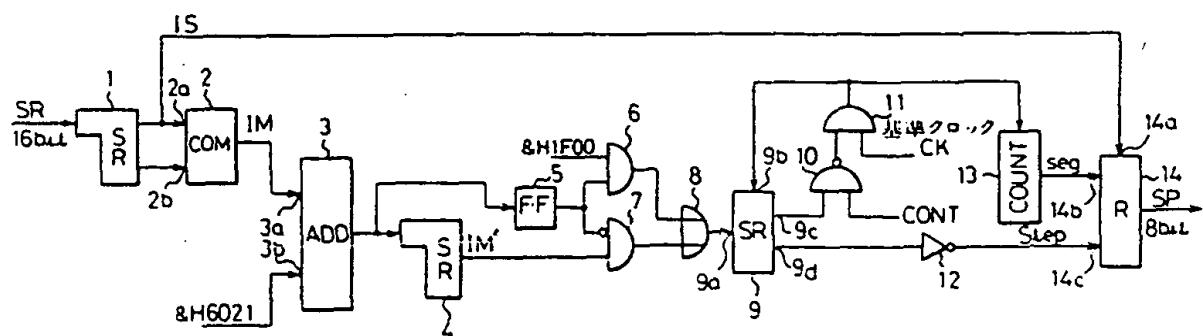
特許出願代理人

弁理士 背木 別

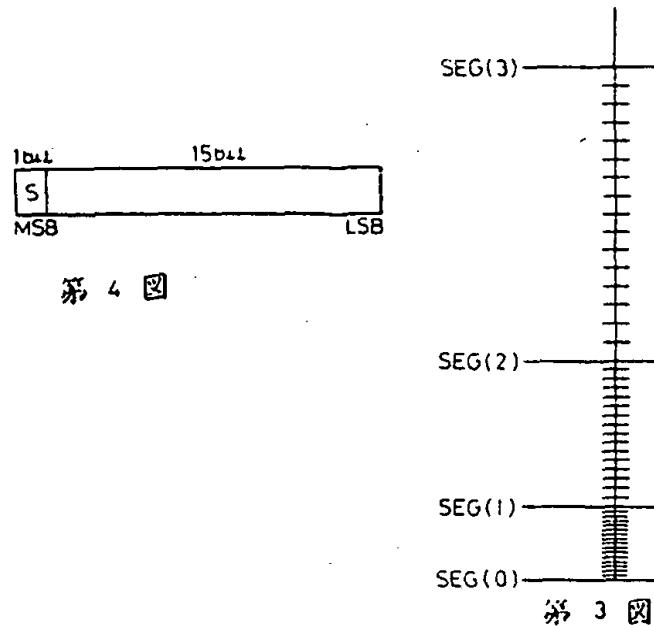
弁理士 西 順 和 之

弁理士 内田 幸男

第 1 圖



第 2 圖



第四圖